CAPÍTULO 1

Introducción.
Fundamentos, motivación y objetivos.

La motivación y nacimiento de este proyecto fin de carrera se origina en la clara necesidad que existe en la comunidad técnica, dedicada a la arquitectura de computadores, de tener modelos precisos, que describan el funcionamiento de la memoria dinámica actual en el nivel de abstración del ciclo de reloj del procesador.

Desde la famosa y conocida ley de Moore, que predice un crecimiento exponencial en el número de transistores que se es capaz de integrar en un microprocesador, se sabe que el tiempo de retardo (latencia), entre el procesador y la memoria, crece también de forma exponencial. Este hecho fundamental, da origen a que se invierta mucho tiempo, esfuerzo, y por consiguiente dinero, en investigar formas de disminuir esa latencia, y en desarrollar arquitecturas de memoria que minimizen el tiempo que el procesador debe esperar a que un dato esté disponible.

En el origen de la fabricación de microprocesadores, el subsistema de memoria, básicamente, constaba de un sólo almacén, que era justamente la memoria externa. Poco a poco, y conforme se aumentaba la frecuencia de los procesadores, se hizo necesario el uso de memorias caches, tanto internas como externas, que de alguna forma mitigasen la latencia de obtención de los datos desde la memoria principal o "externa". A este conjunto de diferentes niveles de almacenamiento-memoria, se le denomina en su conjunto jerarquía de memoria.

A nivel de investigación cientifica-técnica, se ha prestado mucho interés en estudiar exhaustivamente, y sobre todo en los últimos años, todo lo relacionado con esta jerarquía de memoria. Sin embargo, este estudio ha estado, fundamentalmente, centrado en los niveles de memoria que se incluyen en el chip del microprocesador, dejando un poco de lado la investigación sobre toda la parte de la jerarquía de memoria que caía fuera del procesador. Es decir, el controlador de memoria dinámica y la propia memoria dinámica.

Mientras que las memorias caches, su acceso y control están perfectamente documentadas en la comunidad científica, a través de artículos, libros, tesis doctorales, simuladores, etc, es díficil encontrar información actualizada y modelos de controladores de memoria dinámica. Hasta tal punto

esto es así, que incluso en los artículos científicos más prestigiosos se suele "simplificar" el modelo de memoria dinámico, haciéndolo prácticamente desaparecer, suponiendo que el acceso a la memoria externa, en términos temporales de latencia, es constante. El valor de esta constante temporal, varía enormemente en función del autor del artículo, y no es raro encontrarnos con 50 ciclos de reloj, mientras que en otros nos encontramos con incluso 1000 ciclos de reloj o más.

Indudablemente, parece bastante claro, que los resultados obtenidos, incluso en los artículos más prestigiosos, podrían diferir bastante si tomamos como acertada una latencia de 50 o si la correcta es de 1000.

Puesto que parece existir un vacío casi total, en cuanto a cuál es la latencia correcta para la memoria actual, y cuál es su influencia en el rendimiento de un microprocesador, se propuso intentar estudiar e investigar acerca del controlador de memoria dinámica y de la propia memoria a través de este proyecto fin de carrera. Así pues, este proyecto se centra y enmarca en un tema de investigación de fundamental importancia para la comunidad científica-técnica dedicada a la arquitectura de computadores.

En el área de investigación en el que se desarrolla , departamento de infórmatica e ingeniería de sistemas, área de arquitectura de computadores de la universidad de Zaragoza, se tienen modelos muy precisos de toda la jerarquía de memoria, excepto los modelos de memoria y controlador externos al microprocesador, o más correctamente expresado, del modelo de controlador y memoria principal, puesto que actualmente existe una tendencia a incluir el controlador de memoria principal en el interior del microprocesador.

Así pues, una vez que se ha comprendido el ámbito y marco fundamental en el que se desarrolla este proyecto, vamos a exponer de forma un poco más precisa los objetivos que tiene el mismo.

El objetivo principal sería pues la **caracterización de memorias dinámicas a nivel del ciclo de reloj del procesador y su aplicación al diseño hardware de un controlador de memoria**.

Así mismo, y teniendo en cuenta que en la actualidad no existen en la comunidad científica, al menos accesibles públicamente, simuladores de controlador/memoria dinámica lo suficientemente precisos para la investigación al más alto nivel, se considerará también, como objetivo secundario del proyecto, la **realización de un módulo sofware de simulación del controlador/memoria** que se pueda integrar con las herrameintas actuales que se utilizan para la simulación en arquitectura de computadores a nivel de investigación.

Para la consecución de estos objetivos, se han llevado a cabo las siguientes tareas:

Como primer paso, se ha estudiado con profundidad, y en el nivel de detalle del ciclo de reloj, el funcionamiento de varios tipos de memoria dinámica actual. En concreto se planteó en la propuesta estudiar la memoria DDR y DDRII y dejar como opcional el otro tipo de memorias menos utilizadas como la RAMBUS y la XDR. Veremos que finalmente se han incluido los cuatro tipos de memoria en el proyecto. Este estudio se describe brevemente en los capítulos 2 y 3. En estos dos capítulos se verá cuál es el funcionamiento común a diferentes tipos de memoria dinámica, teniendo en cuenta parámetros como latenclas, anchos de banda, bancos que tiene la arquitectura, aperturas y cierres de

páginas, tamaño de las mismas, anchos de buses, etc. Este capítulo viene completado con datos de nivel técnico más profundo en el anexo A.

En el siguiente capítulo del proyecto (4), se explicarán las dos políticas de acceso más comunes en la actualidad. Estas políticas han sido las elegidas después de haber consultado varios estándares de memoria, datos de fabricantes, así como de observar cuales son las políticas de acceso más utilizadas en la comunidad científica internacional. Veremos que prácticamente el 100% de los artículos científicos internacionales utilizan esas dos políticas de acceso. En ese capítulo se explicará brevemente en que consisten y cuando son últiles.

En cuanto a las políticas de acceso implementadas por los fabricantes en sus soluciones, veremos que coinciden con las elegidas. Prácticamente no existen otras políticas de acceso, para procesadores de propósito general, que funcionen adecuadamente y por eso, el proyecto se centra en esas.

En el capítulo cuatro, con toda la información que se tiene ya, se propondrá un diseño hardware de controlador de memoria dinámica. Este diseño tiene dos vertientes claramente diferenciadas. La primera de ellas sería la encaminada al diseño de un protocolo hardware de comunicación entre el microprocesador y el controlador de memoria. En este apartado, el proyecto se ha basado en trabajos anteriores sobre todo de fabricantes de microprocesadores y de chips de microelectronica ([1] [2] [3] [4] [5]). En este capítulo se realizará una breve descripción del protocolo, aunque se amplía la información de un modo más técnico y detallado en el anexo B. Es importante reseñar, que el diseño de este protocolo no debe ser particular a un tipo de procesador o de bus, sino que debe ser lo suficientemente genérico como para poderlo integrar de forma modular y sencilla con diferentes diseños de procesadores. Así mismo, también se ha prestado especial atención a que el protocolo elegido se pueda simular a través de software de la forma más sencilla posible, para poderlo integrar, no sólamente con diversos diseños de procesadores, sino con las diferentes herramientas de simulación de arquitectura de computadores que existen a nivel de investigación científica.

La segunda vertiente comtempla el propio diseño interno del controlador, en el que se verá la segmentación hardware que se ha realizado, y los diferentes bloques lógicos en los que se ha dividido el controlador. Así mismo, este capítulo viene reforzado por el Anexo C, donde se describen todas las señales hardware del controlador diseñado. El diseño está realizado de tal forma, que es fácil integralo con cualquier tipo de memoria dinámica, en concreto con las cuatro que se estudian en este proyecto, y también está pensado para admitir cambios hardware del propio diseño, a través de un diseño de bloques lógicos básicos interconectados. Veremos en este capítulo que cada bloque básico hardware corresponde con una etapa de segmentado, y el diseño realizado consiste en tres etapas.

Una vez que ya tenemos nuestro controlador diseñado, pasaríamos a desarrollar como objetivo secundario, aunque muy importante, un simulador software de este controlador hardware. Es de vital importancia poder disponer de un simulador software, puesto que en investigación sobre arquitectura de computadores, prácticamente la única fuente de verificación y comprobación de diseños y rendimientos, recae en simuladores software como pueden ser [6], [7] y [8]. El principal

objetivo de diseño del simulador es que se pueda integrar "fácilmente" con los desarrollos software más importantes en el campo de la investigación. Para ello se verá en ese capítulo la aproximación que se ha seguido, y como se ha desarrollado el simulador. Se hablará de una novedosa técnica de simulación en el campo de la arquitectura de computadores y de las posibilidades que aporta a cualquier simulación hardware.

Desde el punto de vista práctico, para los investigadores que deseen usar el simulador propuesto, es importante destacar que tanto el manual de usuario del simulador propuesto, como el manual del programdor se pueden encontrar, respectivamente, en los anexos D y E.

Para finalizar, el proyecto termina con un último capítulo, el séptimo, en donde se realizan una serie de pruebas, muy estandarizados en el mundo de la arquitectura de computadores (spec2000), donde se ponen de manifiesto los resultados verdaderamente importantes del proyecto y de la investigación realizada.

En este capítulo se realizan una serie de conclusiones y se dan unas guías de futuras investigaciones que complementarían el proyecto y lo enriquecerían. Veremos así mismo que el proyecto ha dado lugar a dos líneas de investigación en este campo, y que existe un interés en su utilización a nivel científico para la realización de investigaciones en la jerarquía de memoria.

Por último, simplemente comentar que en la memoria se ha intentado resumir de la forma más breve posible lo que se ha realizado y cómo se ha hecho. Para una mayor profundidad en las explicaciones o ejemplos de las partes más técnicas del proyecto, se recomienda referirse a los anexos.